

Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) EP 0 703 618 A1

(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
27.03.1996 Patentblatt 1996/13

(51) Int. Cl.⁶: H01L 25/065, H01L 21/98

(21) Anmeldenummer: 95113423.8

(22) Anmeldetag: 26.08.1995

(84) Benannte Vertragsstaaten:
DE FR GB IE IT

(30) Priorität: 22.09.1994 DE 4433845

(71) Anmelder: FRAUNHOFER-GESELLSCHAFT ZUR
FÖRDERUNG DER
ANGEWANDTEN FORSCHUNG E.V.
D-80636 München (DE)

(72) Erfinder:

- Ramm, Peter, Dr.
D-85276 Pfaffenhofen (DE)
- Buchner, Reinhold, Dipl.-Phys.
D-85774 Unterföhring (DE)

(54) **Verfahren zur Herstellung einer dreidimensionalen integrierten Schaltung**

(57) Die Erfindung betrifft ein Verfahren zur Herstellung einer dreidimensionalen integrierten Schaltung. Beim Zusammenfügen von Substraten, die eine Vielzahl von identischen Bausteinen, den sog. Chips, enthalten, ergibt sich die resultierende Ausbeute eines mehrlagigen Systems aus dem Produkt der Einzelausbeuten. Dies führt dazu, daß die Ausbeute eines mehrere Bauelementeebenen umfassenden Systems nach den bekannten Verfahren drastisch abnimmt. Beim erfindungsgemäßen Verfahren werden zwei fertig prozessierte Substrate (1,7) miteinander verbunden.

Vorher wird jedoch das obere Substrat (7) einem Funktionstest unterzogen, mit dem die intakten Chips des Substrates selektiert werden. Anschließend wird dieses Substrat von der Rückseite her gedünnt, in einzelne Chips zerlegt und nur selektierte, intakte Chips nebeneinander auf das, mit einer Haftschrift versehene, untere Substrat (1) justiert aufgebracht.

Mit dem erfindungsgemäßen Verfahren werden die Ausbeute bei der Herstellung dreidimensionaler integrierter Schaltungen deutlich gesteigert und die Herstellungskosten gesenkt.

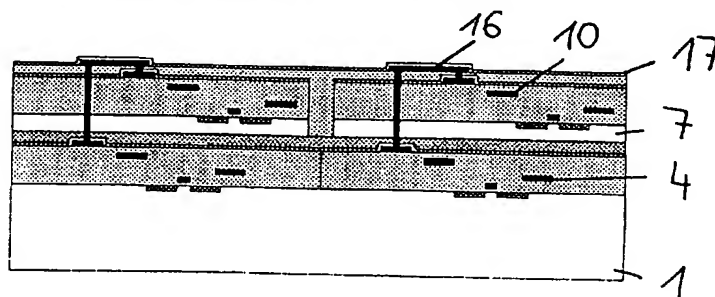


Fig. 5

EP 0 703 618 A1

Beschreibung

Die Erfindung betrifft ein Verfahren zur Herstellung einer dreidimensionalen integrierten Schaltung. Unter dreidimensionaler Integration versteht man die vertikale Verbindung von Bauelementen, die mittels Planartechnik hergestellt wurden. Die Vorteile eines dreidimensional integrierten mikroelektronischen Systems sind u.a. die bei gleichen Designregeln erreichbaren höheren Packungsdichten und Schaltgeschwindigkeiten gegenüber zweidimensionalen Systemen. Letzteres ist zum einen bedingt durch kürzere Leitungswege zwischen den einzelnen Bauelementen oder Schaltungen, zum anderen durch die Möglichkeit der parallelen Informationsverarbeitung. Die Steigerung der Leistungsfähigkeit des Systems ist bei Realisierung einer Verbindungstechnik mit örtlich frei wählbaren höchstintegrierbaren vertikalen Kontakten optimal.

Zur Herstellung dreidimensionaler Schaltungsanordnungen mit frei wählbaren vertikalen Kontakten sind folgende Verfahren bekannt:

Y. Akasaka, Proc. IEEE 74 (1986) 1703, schlägt vor, auf eine fertig prozessierte Bauelementeschicht polykristallines Silizium abzuscheiden und zu rekristallisieren, so daß in der rekristallisierten Schicht weitere Bauelemente gefertigt werden können. Nachteile dieser Methode sind die ausbeutereduzierende Degradation der Bauelemente in der unteren Ebene durch die hohe thermische Belastung beim Rekristallisierungsprozeß, sowie die notwendigerweise serielle Prozessierung des Gesamtsystems. Letzteres bedingt zum einen entsprechend lange Durchlaufzeiten bei der Fertigung und hat zum anderen eine Ausbeuteminderung durch Aufsummierung der prozeßbedingten Ausfälle zur Folge. Beides erhöht die Fertigungskosten beträchtlich gegenüber einer Prozessierung der einzelnen Ebenen getrennt voneinander in verschiedenen Substraten.

Aus Y. Hayashi et al., Proc. 8th Int. Workshop on Future Electron Devices, 1990, p. 85, ist es bekannt, zunächst die einzelnen Bauelementeebenen getrennt voneinander in verschiedenen Substraten herzustellen. Anschließend werden die Substrate auf Wenige Mikrometer gedünnt, mit Vorder- und Rückseitenkontakten versehen und mittels eines Bondverfahrens vertikal verbunden. Für die Bereitstellung der Vorder- und Rückseitenkontakte sind jedoch Sonderprozesse notwendig, die in der Standard-Halbleiterfertigung (CMOS) nicht vorgesehen sind, nämlich MOS-inkompatible Materialien (z.B. Gold) und Rückseitenstrukturierung des Substrates.

Die US 4,939,568 beschreibt ein Verfahren zur Herstellung einer dreidimensionalen integrierten Schaltungsstruktur durch Stapelung einzelner ICs zu einem Einzelchipstapel auf einem Trägersubstrat. Hierzu wird zunächst ein Substrat mit fertigprozessierten ICs in einzelne Chips unterteilt, womit die Prozessierung auf Waferebene beendet ist. Die Chips werden getestet, und ein erster einzelner Chip wird mittels Thermokompression auf ein Trägersubstrat aufgebracht. Nach diesem

Schritt wird ein weiterer Chip in der gleichen Weise auf den ersten Chip aufgebracht. Es wird somit zunächst ein erster Chipstapel fertiggestellt, bevor mit der Herstellung eines weiteren Chipstapels auf einem anderen Trägersubstrat begonnen wird. Eine Weiterprozessierung der Chipstapel auf Waferebene ist mit diesem Verfahren daher nicht möglich.

Ein wesentlicher Nachteil der bisher genannten Verfahren ist dadurch bedingt, daß die in der Siliziumtechnologie zur Verfügung stehenden Geräte nur eine Bearbeitung (Prozessierung) von scheibenförmigen Substraten, den sog. Wafern, zulassen. Eine Prozessierung davon verschiedener Substrate, insbesondere von einzelnen Chips, ist nur in experimentellen Versuchsanlagen möglich, jedoch nicht im Rahmen einer industriellen Fertigung mit den geforderten hohen Ausbeuten.

Die US 4,954,875 beschreibt ein Verfahren zur dreidimensionalen Integration durch Stapelung einzelner Wafer, bei dem die Verbindung der einzelnen Bauelementeebenen über besonders geformte Vias hergestellt wird.

Beim Zusammenfügen von Substraten, die eine Vielzahl von identischen Bausteinen, den sog. Chips, enthalten, ergibt sich die resultierende Ausbeute eines mehrlagigen Systems aus dem Produkt der Einzelausbeuten. Dies führt dazu, daß die Ausbeute eines mehrere Bauelementeebenen umfassenden Systems, wie das der US 4,954,875 nach den bekannten Verfahren drastisch abnimmt. So erhält man bei einer Ausbeute einer Einzelsebene von 80 % bei einem Gesamtsystem aus 10 Ebenen nur mehr eine resultierende Gesamtausbeute von etwa 10 %, womit ein derartiges System unwirtschaftlich wird und der Einsatz dieser Technik auf wenige spezielle Einsatzfelder beschränkt wird. Die Ausbeute eines Bauelementesubstrates hängt dabei auch von der Art der Schaltungen und des verwendeten Herstellungsprozesses ab. So erzielt man z.B. in der Fertigung von Speicherbausteinen sehr hohe Ausbeuten, während bei Logikbausteinen, wie Mikroprozessoren, eine deutlich geringere Ausbeute erreicht wird. Insbesondere wenn mehrere Arten solcher Schaltungen übereinandergestapelt werden, wird damit die Gesamtausbeute überproportional durch die Schaltungsart mit der geringsten Ausbeute bestimmt.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung einer dreidimensionalen integrierten Schaltung anzugeben, mit dem unter Verwendung der üblichen industriellen Standardausrüstung auf Waferebene eine deutliche Ausbeutesteigerung gegenüber bisher bekannten Verfahren erzielt wird.

Diese Aufgabe wird erfindungsgemäß mit dem Verfahren nach Anspruch 1 gelöst. Besondere Ausgestaltungen des Verfahrens sind Gegenstand der Unteransprüche.

In dem erfindungsgemäßen Verfahren werden zwei fertig prozessierte Substrate (Wafer), die jeweils Schaltungsstrukturen und Metallisierungsebenen enthalten, beispielsweise über eine Haftschrift miteinander verbunden. Die Haftschrift kann hierbei zusätzlich eine

passivierende Funktion ausüben (Anspruch 7) und/oder eine Planarisierung der Oberfläche bewirken (Anspruch 8). Dabei wird das obere Substrat (zweites Substrat) vorher einem Funktionstest unterzogen, mit dem die intakten Chips des Substrates selektiert werden. Anschließend wird dieses Substrat von der Rückseite her gedünnt und in einzelne Chips zerlegt. Danach werden nur selektierte, intakte Chips auf das, mit einer Haftschiicht versehene, untere Substrat (erstes Substrat) nebeneinander justiert aufgebracht und damit zu einer neuen Chipebene zusammengesetzt. Auf diese Weise wird ein Wafer bereitgestellt, der in der neu aufgetrachten Chipebene nur intakte Chips enthält.

Das untere Substrat kann hierbei auch bereits mehrere Bauelementelagen in Form von Bauelementestapeln enthalten. Die Chips des oberen Substrates werden entweder im Rahmen des Verfahrens dem Funktionstest unterzogen (Anspruch 2) oder es wird ein bereits geprüfetes Substrat mit getesteten und z.B. markierten defekten Chips bereitgestellt und eingesetzt. Auf das obere Substrat wird schließlich vor dem Dünnen und Zerteilen ein Hilfssubstrat aufgebracht. Statt des Dünnens des oberen Substrates bis nahe an die Bauelementelagen heran kann auch im Falle eines SOI-Substrates der Substratbereich unterhalb der Oxidschicht entfernt werden.

Da auf dem unteren Substrat nun einzelne Chips aufgebracht worden sind, ist keine zusammenhängende Oberfläche mehr vorhanden (Gräben zwischen den Chips), so daß bestimmte Prozeßschritte, insbesondere Photolithographiemodule, nicht mehr mit hoher Ausbeute durchgeführt werden können. Deshalb wird nun vorzugsweise ein Planarisierungsschritt eingefügt (Anspruch 9).

Die Planarisierung kann mit verschiedenen Verfahren durchgeführt werden. Dabei wird zuerst eine Isolationschicht, wie z.B. Spin-on-Glas oder ein CVD - Oxid, aufgebracht, um die Gräben aufzufüllen. Anschließend wird die Oberfläche eingeebnet, was durch Rückätzen, mechanisches oder chemomechanisches Schleifen erfolgt.

Weitere Prozesse, die nicht auf Chipebene realisierbar sind, können nach dem Planarisierungsschritt problemlos an dem Substrat mit vorselektierten Chips durchgeführt werden.

Anschließend wird z.B. über Vialöcher (Anspruch 10), die bereits bei der Prozessierung der Einzelsubstrate in die Chips eingebracht wurden und nun bis zu einer Metallisierungsebene des unteren Substrates durchgeätzt werden, die elektrische Verbindung zwischen je einer Metallisierungsebene der oberen und der unteren Schaltungsebene hergestellt. Dabei wird die Photomaske zur Strukturierung auf jeden einzelnen Chip über Justierstrukturen separat justiert, um etwaige Maßabweichungen durch das Aufbringen der einzelnen Chips auszugleichen und eine hohe Justiergenauigkeit zu erreichen.

Danach kann das Substrat, das in der Bauelementeebene nur noch getestete und funktionsfähige Chips

enthält, in gängigen Fertigungsanlagen weiter verarbeitet werden.

In gleicher Weise kann nun auch eine weitere Bauelementeebene chipweise aufgebracht werden (Anspruch 3). Hierbei dient der bisher hergestellte Bauelementestapel mit zugehörigem Substrat als neues unteres Substrat. Dabei ist bei diesem Verfahren die Anzahl der Ebenen nicht beschränkt. Außerdem kann nicht nur eine Einzelebene, sondern auch ein bereits aus mehreren Ebenen bestehender Teilstapel chipweise aufgebracht werden.

Als Substrate sind monokristalline Siliziumsubstrate, SOI - Substrate oder Substrate verschiedener Technologiefamilien, wie z.B. III - V - Halbleiter geeignet.

Insgesamt werden bei diesem Verfahren nur bekannte und eingeführte Verfahrensschritte verwendet, so daß keine neuen Prozesse entwickelt werden müssen.

Mit dem erfindungsgemäßen Verfahren werden nur intakte Chips jeweils auf die darunterliegenden Bauelementelagen aufgebracht. Damit wird in vorteilhafter Weise die Abhängigkeit der Ausbeute des Gesamtsystems von der Ausbeute der einzelnen prozessierten Substrate stark verringert. Es können jeweils nur einzelne defekte Chips einer Bauelementelage ausgesondert werden, so daß nicht mehr ganze Bauelementestapel aufgrund einer einzigen defekten Lage unbrauchbar werden. Durch das erfindungsgemäße Verfahren werden somit die Ausbeute bei der Herstellung dreidimensionaler integrierter Schaltungen deutlich gesteigert und die Herstellungskosten gesenkt.

Im folgenden wird die Erfindung anhand der Zeichnungen und eines Ausführungsbeispiels näher erläutert.

Dabei zeigen:

Fig. 1 ein erstes Bauelementesubstrat mit Schaltungsstrukturen und Metallisierungsebenen (unteres Substrat),

Fig. 2 ein zweites Bauelementesubstrat mit Schaltungsstrukturen, Metallisierungsebenen und Vialöchern (oberes Substrat),

Fig. 3 das zweite Bauelementesubstrat mit Haftschiicht und Hilfssubstrat,

Fig. 4 das erste Bauelementesubstrat mit einer chipweise aufgetrachten zweiten Bauelementeebene nach Planarisierung der Oberfläche, und

Fig. 5 zwei vertikal verbundene Bauelementeebenen.

Ein erstes Bauelementesubstrat 1 aus z.B. monokristallinem Silizium umfaßt mehrere, nach einem definierten Schema angeordnete, üblicherweise identische Chips 2, die Schaltungsstrukturen 3, wie beispielsweise einen MOS - Transistor, und eine oder mehrere Metall-

sierungsebenen 4 enthalten, die typischerweise aus Aluminium, einer Aluminiumlegierung oder anderen Materialien, wie Kupfer oder Wolfram, bestehen und zur elektrischen Isolation von einer Oxidschicht 5, die zu Planarisierungszwecken auch mit Bor und / oder Phosphor dotiert sein kann, umgeben sind. Die oberste Metallisierungsebene 4 kann dabei auch von einer Passivierungsschicht 6 aus beispielsweise Siliziumoxid und Siliziumnitrid bedeckt sein. Weiterhin sind Justagestrukturen zum genauen Zusammenfügen mehrerer Ebenen implementiert (in Fig. 1 nicht gezeigt). Unterhalb der Schaltungsstrukturen 3 weist das Substrat eine Dicke von z.B. 625 µm auf. Dieses Bauelementesubstrat stellt das untere Substrat des mehrlagigen Systems dar (Fig. 1).

Ein zweites Bauelementesubstrat 7 umfaßt ebenfalls mehrere, nach einem definierten Schema angeordnete, üblicherweise identische Chips 8, die Schaltungsstrukturen 9, wie beispielsweise einen MOS-Transistor, und eine oder mehrere Metallisierungsebenen 10 enthalten. Dieses Substrat 7 ist im wesentlichen ähnlich aufgebaut wie das erste Bauelementesubstrat 1, die Schaltungsstrukturen 9 sind aber in der Regel von ihrer Funktion her unterschiedlich. Desweiteren weist das zweite Bauelementesubstrat Vialöcher 11 an den Stellen auf, an denen später die elektrische Kontaktierung zu darunterliegenden Schaltungsstrukturen des ersten Substrates erfolgen soll. Die Vialöcher 11 sind so tief, daß sie bis unterhalb der Schicht mit Schaltungsstrukturen 9 reichen (Fig. 2).

Nach Fertigstellung des Bauelementesubstrates 7 wird die Passivierung auf der obersten Metallisierungsebene an bestimmten Meßstellen geöffnet. Danach werden die einzelnen Chips des Substrates einem Funktionstest unterzogen und die defekten Chips gekennzeichnet (z.B. mit einem Tintenstrahl). Anschließend wird erneut eine Passivierungsschicht aufgebracht, um die offenliegenden Meßstellen wieder zu schützen.

Auf die Oberfläche des zweiten Substrates 7 wird ganzflächig eine Haftschrift 12 aus einem organischen Material, wie Polyimid oder Photolack, aufgebracht. Diese Haftschrift 12 mit einer Dicke von typischerweise 1 - 2 µm kann außerdem eine Planarisierung der Oberfläche bewirken. Auf die Haftschrift 12 wird schließlich ein Hilfssubstrat 13, wie beispielsweise ein Silizium- oder Quarzwafer, geklebt. Das Hilfssubstrat 13 wird als Handlingssubstrat für die weiteren Prozessschritte verwendet und schützt die Oberfläche des Bauelementesubstrates 7 bei der weiteren Bearbeitung. (Fig. 3).

Danach wird das zweite Bauelementesubstrat 7 durch Ätzen und/oder Schleifen von der Rückseite her bis an die Vialöcher 11 heran gedünnt, so daß die Dicke des Substrates 7 unterhalb der Schaltungsstrukturen 9 nur noch wenige Mikrometer, typischerweise 1 - 5 µm, beträgt. Dabei hängt die gewählte Restdicke auch von der Art der enthaltenen Schaltungen ab.

Nun wird das zweite Bauelementesubstrat 7 mit dem Handlingssubstrat 13 in einzelne Chips zerteilt. Dies kann dabei mit einem Ätzprozeß, durch Sägen oder mit

einem Laser erfolgen. Daraufhin werden die gekennzeichneten, intakten Chips auf das, mit einer Haftschrift 14 versehene, erste Bauelementesubstrat 1 justiert nebeneinander aufgebracht. Die Haftschrift 14 mit einer Dicke von typischerweise 1 - 2 µm kann dabei eine Planarisierung der Oberfläche bewirken. Anschließend werden die Handlingssubstrate 13 z.B. durch Abätzen oder Abschleifen entfernt und die freiliegende Haftschrift 12 typischerweise mit einem Sauerstoffplasma oder einem Lösungsmittel ganzflächig entfernt. Nach dem Aufkleben der Chips weist die Oberfläche des ersten Substrates nun Gräben zwischen den einzelnen Chips auf, die ein sehr niedriges Aspektverhältnis besitzen. Durch einen Planarisierungsschritt, in dem die Schicht 15 abgeschieden wird, werden diese Gräben nun aufgefüllt und eine ebene Oberfläche erzeugt. Das erste Bauelementesubstrat 1 mit den beiden Bauelementeebenen läßt sich nun wie ein übliches Siliziumsubstrat mit Standard-Technologiegeräten weiterverarbeiten (Fig. 4).

Danach wird schließlich die vertikale Verbindung 16 zwischen einer Metallisierungsebene 10 der oberen Bauelementeebene (Substrat 7) und einer Metallisierungsebene 4 der unteren Bauelementeebene (Substrat 1) hergestellt. Dazu werden mit einem Photolithographieschritt ein Kontaktloch zu einer Metallisierungsebene 10 der oberen Bauelementeebene und die vorbereiteten Vialöcher 11 bis zu einer Metallisierungsebene 4 der unteren Bauelementeebene geöffnet und durch Metallabscheidung und Strukturierung eine elektrische Verbindung realisiert. Schließlich wird auf die Oberfläche noch eine Passivierungsschicht 17 abgeschieden (Fig. 5).

Die elektrische Kontaktierung kann selbstverständlich auch auf andere Weise realisiert werden, so z.B. bereits beim Aufbringen der Chips auf das untere Substrat mittels vorbereiteter Vorder- und Rückseitenkontakte (vgl. Beschreibungseinleitung: Y. Hayashi et al.).

Patentansprüche

1. Verfahren zur Herstellung einer dreidimensionalen integrierten Schaltung mit folgenden Verfahrensschritten:

- Bereitstellen eines ersten Substrates (1), das auf einer ersten Seite eine oder mehrere fertigprozegierte Bauelementeebenen (3) enthält, die nebeneinander eine Vielzahl von unabhängigen Bauelementen oder Schaltkreisen aufweisen, wobei Bauelemente oder Schaltkreise mehrerer Bauelementeebenen Bauelementstapel bilden;
- Bereitstellen eines zweiten Substrates (7), das auf einer zweiten Seite eine oder mehrere fertigprozegierte Bauelementeebenen (9) enthält, die nebeneinander eine Vielzahl von unabhängigen Bauelementen oder Schaltkreisen aufweisen, wobei Bauelemente oder Schaltkreise mehrerer Bauelementeebenen

- Bauelementstapel bilden, und die Bauelemente, Bauelementstapel oder Schaltkreise zur Unterscheidung funktionsfähiger von nicht funktionsfähigen Bauelementen, Bauelementstapeln oder Schaltkreisen auf ihre Funktionsfähigkeit geprüft sind; 5
- Verbinden des zweiten Substrates (7) mit einem Hilfssubstrat (13) auf der zweiten Seite;
 - Dünnen oder Entfernen des zweiten Substrates (7) auf der Seite, die der zweiten Seite gegenüberliegt; 10
 - Zerteilen des Hilfssubstrates (13) mit den verbundenen Bauelementeebenen zu einzelnen Chips, die jeweils funktionsfähige oder nicht funktionsfähige Bauelemente, Bauelementstapel oder Schaltkreise enthalten; 15
 - Justiertes Aufbringen von Chips, die funktionsfähige Bauelemente, Bauelementstapel oder Schaltkreise enthalten, nebeneinander auf das erste Substrat (1) auf der ersten Seite; 20
 - Entfernen des Hilfssubstrates (13);
 - Herstellen der elektrischen Kontakte zwischen den Bauelementen, Bauelementstapeln oder Schaltkreisen der aufgebrachten Chips und den Bauelementen, Bauelementstapeln oder Schaltkreisen des ersten Substrates, wobei dieser Verfahrensschritt bereits beim Aufbringen der Chips erfolgen kann. 25
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß das Bereitstellen des zweiten Substrates folgende Verfahrensschritte umfaßt: 30
- Bereitstellen eines zweiten Substrates (7), das auf einer zweiten Seite eine oder mehrere fertigprozessierte Bauelementeebenen (9) enthält, die nebeneinander eine Vielzahl von unabhängigen Bauelementen oder Schaltkreisen aufweisen, wobei Bauelemente oder Schaltkreise mehrerer Bauelementeebenen Bauelementstapel bilden, und 35
 - Funktionstest der einzelnen Bauelemente, Bauelementstapel oder Schaltkreise des zweiten Substrates zur Unterscheidung funktionsfähiger von nicht funktionsfähigen Bauelementen, Bauelementstapeln oder Schaltkreisen. 40
3. Verfahren nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß zum Aufbau einer dreidimensionalen integrierten Schaltung mit mehr als zwei Bauelementeebenen das Verfahren mehrmals nacheinander durchgeführt wird, wobei als erstes Substrat bei jeder wiederholten Durchführung des Verfahrens das bearbeitete erste Substrat des jeweils vorangehenden Verfahrens verwendet wird. 45
4. Verfahren nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß erstes und zweites Substrat jeweils genau eine Bauelementeebene enthalten.
5. Verfahren nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet**, daß das Hilfssubstrat (13) über eine Haftschrift (12) mit dem zweiten Substrat (7) verbunden wird.
6. Verfahren nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, daß die Chips mittels einer Haftschrift (14) auf die erste Seite des ersten Substrates (1) aufgebracht werden.
7. Verfahren nach Anspruch 5 oder 6, **dadurch gekennzeichnet**, daß eine Haftschrift mit passivierenden Eigenschaften verwendet wird.
8. Verfahren nach einem der Ansprüche 5 bis 7, **dadurch gekennzeichnet**, daß eine Haftschrift verwendet wird, die eine Planarisierung der Oberfläche bewirkt.
9. Verfahren nach einem der Ansprüche 1 bis 8, **dadurch gekennzeichnet**, daß Gräben, die nach dem justierten Aufbringen der einzelnen Chips zwischen diesen entstehen, planarisiert werden.
10. Verfahren nach einem der Ansprüche 1 bis 9, **dadurch gekennzeichnet**, daß das Herstellen der elektrischen Kontakte zwischen den Bauelementen, Bauelementstapeln oder Schaltkreisen der aufgebrachten Chips und den Bauelementen, Bauelementstapeln oder Schaltkreisen des ersten Substrates über Kontakt- und/oder Vialöcher (11) erfolgt.
11. Verfahren nach einem der Ansprüche 1 bis 10, **dadurch gekennzeichnet**, daß das Dünnen des zweiten Substrates (7) mittels Ätzen und/oder Schleifen erfolgt.
12. Verfahren nach einem der Ansprüche 1 bis 11, **dadurch gekennzeichnet**, daß ein SOI-Substrat als zweites Substrat (7) verwendet wird. 50

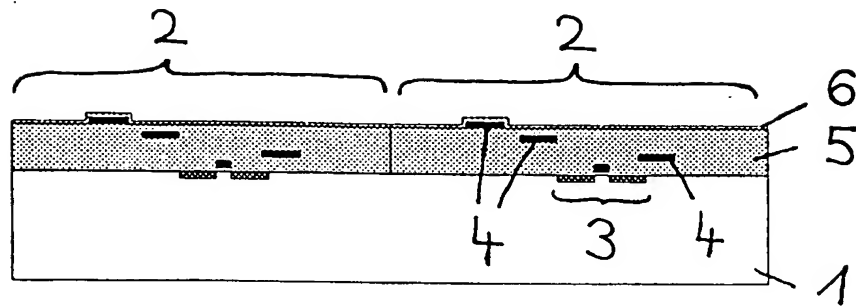


Fig. 1

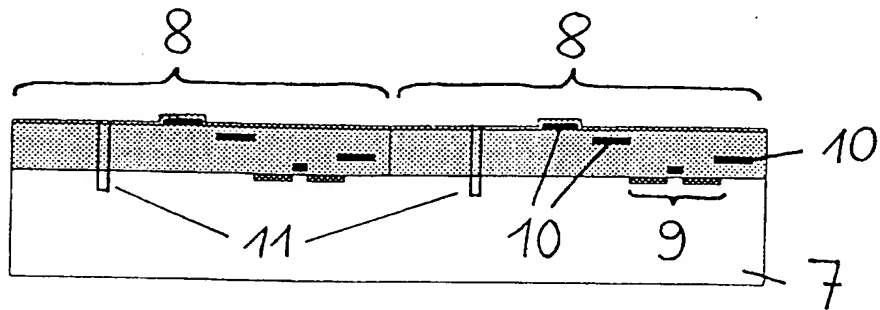


Fig. 2

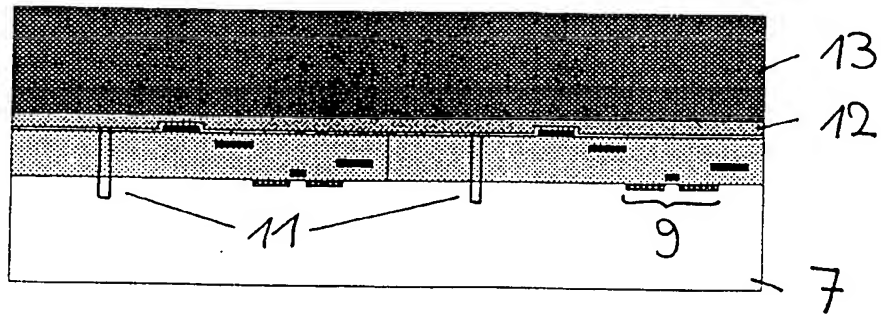


Fig. 3

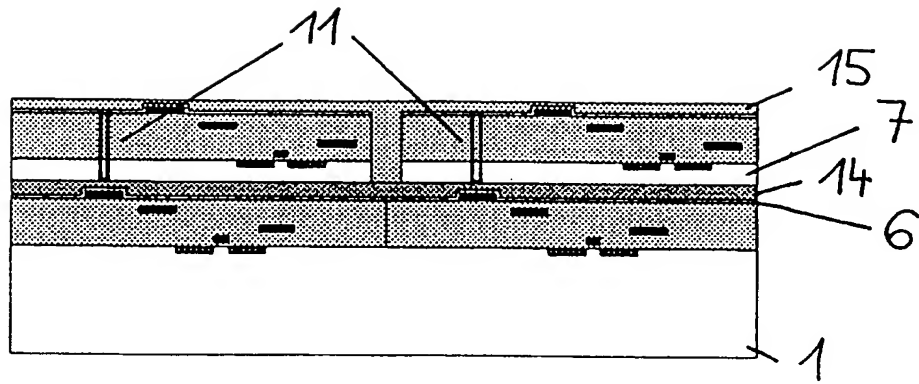


Fig. 4

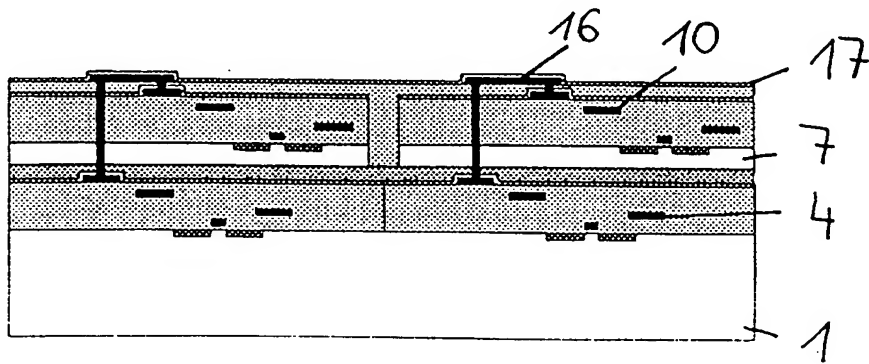


Fig. 5



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 95 11 3423

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.6)
X	EP-A-0 531 723 (IBM)	1	H01L25/065
A	* Ansprüche 1,7,16,20; Abbildung 3I *	3-7, 10-12	H01L21/98
A	DE-C-43 14 913 (SIEMENS)	1,3-5, 10-12	
A	* Ansprüche 1-3,6; Abbildung 2 *		
A	INTERN. ELECTRON DEVICES MEETING, 8. Dezember 1991, WASHINGTON Seiten 25.6.1 - 25.6.4 Y. HAYASHI ET AL. 'a new three dimensional ic fabrication technology, stacking thin film dual-cmos layers'		
A	MICROELECTRONIC ENGINEERING, Bd.15, Nr.1/4, Oktober 1991, AMSTERDAM Seiten 167 - 174 T. MORIYA ET AL. 'results of the three-dimensional integrated circuits project in japan'		
			RECHERCHIERTE SACHGEBIETE (Int.Cl.6)
			H01L
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 7. Dezember 1995	Prüfer De Raeve, R
<p>KATEGORIE DER GENANNTEN DOKUMENTE</p> <p>X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur</p> <p>T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument * : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>			

EPO FORM 150 (01/92) (P4000)